

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-037275

(43)Date of publication of application : 10.02.1994

(51)Int.Cl.

H01L 27/108  
H01L 27/04

(21)Application number : 04-208477 (71)Applicant : TOSHIBA CORP

TOSHIBA MICRO  
ELECTRON KK

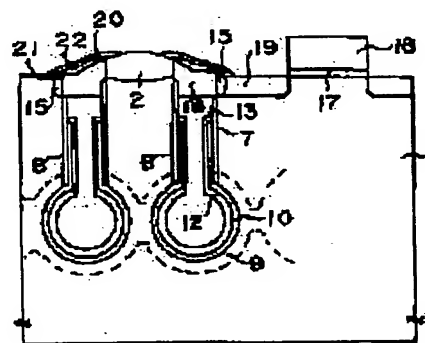
(22)Date of filing : 13.07.1992 (72)Inventor : OTSUKI SUMIHITO

## (54) SEMICONDUCTOR MEMORY AND MANUFACTURE THEREOF

## (57)Abstract:

PURPOSE: To provide a method of manufacturing a semiconductor memory device, where a plate cell can be surely enhanced in capacitance even if the memory device is enhanced in degree of integration, and moreover a plate diffusion region can be formed by diffusing impurities in a short time.

CONSTITUTION: Trenches 6 are dug in the surface of a semiconductor substrate 1, and a plate cell composed of polycrystalline silicon films 10 and 13 which serve as electrodes and a capacitor insulating film 12 is formed inside the trench 6. The maximum sectional area of the prescribed region of the trench 6 surrounded with a plate diffusion region 9 in the semiconductor substrate 1 is set wider than the opening of the trench 6. By this setup, as a plate diffusion region 9 is formed close to the adjacent trench 6, it is formed in a short time to be connected to a diffusion region which surrounds the adjacent trench 6. Furthermore, a contact surface between the plate diffusion region 9 and the plate electrode 10 can be set large in area, so that a semiconductor memory device of this design can be enhanced in operating margin.



## LEGAL STATUS

[Date of request for examination] 20.03.1998

[Date of sending the examiner's decision 19.03.2001  
of rejection]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-37275

(43)公開日 平成6年(1994)2月10日

(51)Int.Cl.<sup>5</sup>

H01L 27/108  
27/04

識別記号

庁内整理番号

FI

技術表示箇所

C 8427-4M  
8728-4M

H01L 27/10

325 D

審査請求 未請求 請求項の数6(全8頁)

(21)出願番号

特願平4-208477

(22)出願日

平成4年(1992)7月13日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72)発明者 大槻 純人

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

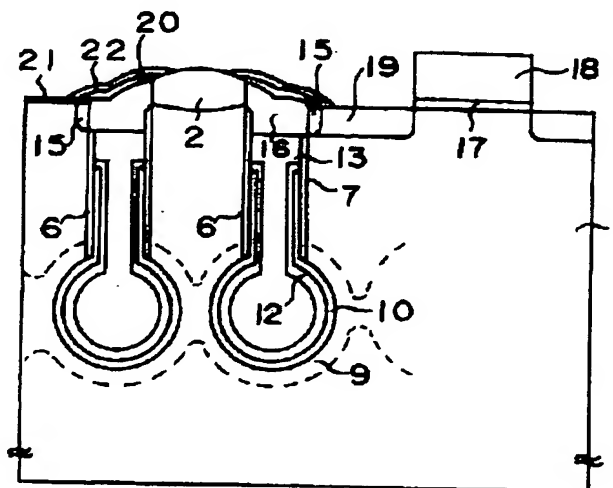
(74)代理人 弁理士 竹村 壽

(54)【発明の名称】 半導体記憶装置及びその製造方法

(57)【要約】

【目的】集積度を向上させても、プレートセルに十分なキャパシタ容量を確保でき、しかも、プレート拡散領域が短時間の不純物拡散で形成できる半導体記憶装置及びその製造方法を提供する。

【構成】半導体基板1表面に開口されたトレンチ6に、電極となる多結晶シリコン膜10、13とキャパシタ絶縁膜12からなるプレートセルを形成する。このトレンチ6の半導体基板内のプレート拡散領域9が囲むトレンチ6の所定領域の最大断面積がこのトレンチ6の開口部より広くなるようにする。これにより、プレート拡散領域9が隣接するトレンチに接近するので短時間で隣接するトレンチを囲む拡散領域と接続できるように形成される。さらに、プレート拡散領域9とプレート電極10との接触面積が大きくとれるので動作マージンが向上する。



**【特許請求の範囲】****【請求項1】** 半導体基板と、

前記半導体基板に形成され、所定の領域がその開口部より大きい断面積を有するトレンチと、

前記トレンチの内側壁上に形成された第1の絶縁膜と、  
前記半導体基板内に、前記トレンチの底部を囲むように形成され、前記半導体基板とは異なる導電型を有する不純物拡散領域と、

前記トレンチの中に、前記不純物拡散領域及び前記第1の絶縁膜の上に形成された第1の導電膜と、  
前記第1の導電膜を被覆する第2の絶縁膜と、  
前記第2の絶縁膜を被覆し、前記トレンチ内に埋込まれた第2の導電膜とを備えていることを特徴とする半導体記憶装置。

**【請求項2】** 前記半導体基板には、ソース／ドレイン領域が形成され、このソース／ドレイン領域の間の領域上には、ゲート絶縁膜とその上のゲート電極が形成されてMOS型電界効果トランジスタを構成しており、前記ソース／ドレイン領域の一方は、前記第2の導電膜と電気的に接続されていることを特徴とする請求項1に記載の半導体記憶装置。

**【請求項3】** 前記トレンチ及び前記MOS型電界効果トランジスタは、複数形成されており、隣接する前記トレンチの前記不純物拡散領域は、互いに接合している事を特徴とする請求項1又は請求項2に記載の半導体記憶装置。

**【請求項4】** 前記トレンチには、蓄積キャパシタが形成されており、前記不純物拡散領域が、前記蓄積キャパシタのプレート拡散領域、前記第1の導電膜が、前記蓄積キャパシタのプレート電極、前記第2の絶縁膜が、前記蓄積キャパシタのキャパシタ絶縁膜、前記第2の導電膜が、前記蓄積キャパシタのストレージノード電極であることを特徴とする請求項1、請求項2又は請求項3のいずれかに記載の半導体記憶装置。

**【請求項5】** 第1導電型半導体基板に第1のトレンチを形成する工程と、  
前記第1のトレンチ側壁を第1の絶縁膜で被覆する工程と、  
前記第1のトレンチ底辺近傍を囲む第2導電型の第1不純物拡散領域を形成する工程と、  
前記第1のトレンチ底辺から前記第2導電型の第1不純物拡散領域をエッチングして、前記第1のトレンチの底辺の下に、その最大の断面積が、前記第1のトレンチの開口部の断面積より広い第2のトレンチを形成し、両トレンチを合わせて1つのトレンチを形成する工程と、  
前記両トレンチを合わせて形成したトレンチの底辺近傍を囲み、前記第1不純物拡散領域を含む第2導電型の第2不純物拡散領域を形成する工程と、  
前記両トレンチを合わせて形成したトレンチ内において、前記第1の絶縁膜及び前記第1不純物拡散領域の上

に第1の導電膜を形成する工程と、

前記第1の導電膜を被覆する第2の絶縁膜を形成する工程と、

前記第2の絶縁膜を被覆するように前記両トレンチを合わせて形成したトレンチ内に埋込まれている第2の導電膜を形成する工程とを備えていることを特徴とする半導体記憶装置の製造方法。

**【請求項6】** 前記両トレンチを合わせて形成されたトレンチは、前記半導体基板に複数形成され、隣接するトレンチの底辺近傍を囲む第2不純物拡散領域は、互いに接続していることを特徴とする請求項5に記載の半導体記憶装置の製造方法。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** この発明は、MOS型構造を有するダイナミックRAM (Dynamic RAM) などの半導体記憶装置に関するものである。

**【0002】**

**【従来の技術】** MOSデバイスであるダイナミックRAMなどの半導体記憶装置は、年々大容量化が進み、そのためのデバイス構造が提案されてきている。現在ダイナミックRAMに用いられるメモリセルは、1トランジスタ1キャパシタのセル構造が一般的である。この他に3トランジスタセル、4トランジスタセルなどが知られている。1トランジスタ1キャパシタセルは、メモリセル当りの構成素子数が少ないので、高ビット集積化に最適である。この構造のダイナミックRAMは、小さい面積で大きな記憶容量が得られるために、数多くの工夫が成されており、プレーナ型、スタック型、埋込みプレート型等が知られている。埋込みプレート型メモリセルは、蓄積キャパシタンスの3次元的配置の1つの方法である。この埋込みプレート型メモリセルは、シリコン基板の垂直方向に深い溝（トレンチ）を掘り、トレンチの側面を記憶キャパシタンスとして用いるためにセル面積が小さくすることができ、また、記憶容量を大きくすることができる。さらに、前述の様に、セル面積が縮小されてくるに伴って、セルの縦方向の段差も大きくなり、配線の段切れなどの問題が発生してくる。埋込みプレート型は、このような問題にも対処でき、キャパシタのプレート電極を半導体基板に埋込むことによって段差を軽減し加工精度を上げることができる。

**【0003】** 従来のダイナミックRAMの半導体記憶装置の断面図を図14に示す。この図に示されるメモリセルは、半導体基板に形成された、例えば、1トランジスタ1キャパシタセルアレイの一部である。図13の前記セルの配線図に示すように、セルを構成するMOSトランジスタTのゲート18は、ワード線Wに接続され、ソース／ドレイン領域19の一方はビット線Bに、他方はトレンチに形成されたキャパシタCに接続される。半導体基板としては、例えば、P型シリコン半導体基板1を

用いる。このシリコン半導体基板1には、シリコンの熱酸化によるフィールド酸化膜2が形成されている。このシリコン半導体基板表面にトレンチ6を形成し、このトレンチ6の内壁に熱酸化によるシリコン酸化膜7を形成する。トレンチ6の底部に形成したシリコン酸化膜7の底部をエッチングして除去し、半導体基板を露出させる。ついで、その部分から不純物を、例えば、イオン注入により拡散してN型不純物拡散領域（以下、N型領域という）9を形成する。この時N型領域9は、隣接したトレンチ6の底部に形成されたN型領域と接続され、全体として1つの領域になるようにする。その後トレンチ6の内壁に、例えば、多結晶シリコン膜などの導電材料10を堆積させ、その上に、例えば、シリコン酸化膜などからなるキャパシタ絶縁膜12を形成する。

【0004】そして、多結晶シリコンなどの導電材料13をトレンチ6に堆積することにより図13のキャパシタCに相当するキャパシタを形成する。多結晶シリコン膜10は、キャパシタのプレート電極となり、多結晶シリコン膜13は、キャパシタのストレージノード電極となる。また、N型領域9は、他のメモリセルのプレート電極との間を繋ぐプレート拡散領域となる。一方、トレンチ6に堆積した多結晶シリコン膜13の上に接続用の多結晶シリコン膜16を堆積させ、一部半導体基板1上に突出させる。多結晶シリコン膜16は、 $\text{SiO}_2$ 膜20及びその上の $\text{Si}_3\text{N}_4$ 膜22からなる積層絶縁膜によって被覆されている。このトレンチ6に隣接して図13のMOSトランジスタTに相当するトランジスタを形成する。まず、1対のソース/ドレイン領域19を形成する。そして、その一方の領域のトレンチ6の側壁に沿った部分に高濃度のN型領域15を形成し、これを、多結晶シリコン膜16とのコンタクト領域とする。他方の領域は、前述のようにダイナミックRAMのビット線Bに接続される。半導体基板1のソース/ドレイン領域19の間の部分の上に、シリコン酸化膜などからなるゲート絶縁膜17を形成し、その上にゲート電極18を形成する。ゲート電極18は、ダイナミックRAMのワード線Wに接続される。この様にしてMOS型ダイナミックRAMのセルが形成される。

#### 【0005】

【発明が解決しようとする課題】この様にダイナミックRAMの埋込みプレート型メモリセルの製造において、隣接するトレンチ底部のプレート拡散領域9同士を接続するためには、例えば、イオン注入法による場合、AsやPなどをトレンチ底部にイオン注入し、その後長時間加熱し、不純物を拡散して拡散領域9を隣接する他のセルの拡散領域9と接合してこれを一体化する。このように形成するためには長時間拡散や高エネルギーの不純物注入が必要であり、熱による他への影響が大きくなる。このような熱による影響を避けるために、プレート拡散領域9をトレンチ底部からの不純物拡散による形成では

なく、あらかじめ半導体基板1に、プレート拡散領域となる埋込み領域をエピタキシャル成長によって形成する方法がある。しかし、この方法では生産のスループットが低下してコストが大きくなる。また、プレート拡散領域とプレート電極の接触面積が小さく、プレート抵抗が見かけ上大くなり、動作マージンが低下するようになる。本発明は、このような事情によりなされたもので、集積度を向上させても十分なキャパシタ容量を確保でき、しかもプレート拡散領域が短時間の不純物拡散で形成できる半導体記憶装置及びその製造方法を提供することを目的としている。

#### 【0006】

【課題を解決するための手段】本発明は、半導体基板に開孔されたトレンチに埋込みプレートセルを形成し、半導体基板内のプレート拡散領域が囲むトレンチの所定の領域の断面積がそのトレンチの開口部よりも広くすることを特徴としている。本発明の半導体記憶装置は、半導体基板と、前記半導体基板に形成され、所定の領域がその開口部の断面積より大きい断面積を有するトレンチと、前記トレンチの内側壁上に形成された第1の絶縁膜と、前記半導体基板内に、前記トレンチの底部を囲むように形成され、前記半導体基板とは異なる導電型を有する不純物拡散領域と、前記トレンチの中に、前記不純物拡散領域及び前記第1の絶縁膜の上に形成された第1の導電膜と、前記第1の導電膜を被覆する第2の絶縁膜と、前記第2の絶縁膜を被覆し、前記トレンチ内に埋込まれた第2の導電膜とを備えていることを特徴としている。前記半導体基板には、ソース/ドレイン領域が形成され、このソース/ドレイン領域の間の領域上には、ゲート絶縁膜とその上のゲート電極が形成されてMOS型電界効果トランジスタを構成しており、前記ソース/ドレイン領域の一方は、前記第2の導電膜と電気的に接続させることができる。

【0007】前記トレンチ及び前記MOS型電界効果トランジスタは複数形成されており、隣接する前記トレンチの前記不純物拡散領域は、互いに接合している。前記トレンチには、蓄積キャパシタが形成されており、前記不純物拡散領域が、前記蓄積キャパシタのプレート拡散領域、前記第1の導電膜が、前記蓄積キャパシタのプレート電極、前記第2の絶縁膜が、前記蓄積キャパシタのキャパシタ絶縁膜、前記第2の導電膜が、前記蓄積キャパシタのストレージノード電極とすることが可能である。

【0008】また、本発明の半導体記憶装置の製造方法は、第1導電型半導体基板に第1のトレンチを形成する工程と、前記第1のトレンチ側壁を第1の絶縁膜で被覆する工程と、前記第1のトレンチ底辺近傍を囲む第2導電型の第1不純物拡散領域を形成する工程と、前記第1のトレンチ底辺から前記第2導電型の第1不純物拡散領域をエッチングして、前記第1のトレンチの底辺の下

に、その最大の断面積が前記第1のトレンチの開口部の断面積より広い第2のトレンチを形成し、両トレンチを合わせて1つのトレンチを形成する工程と、前記両トレンチを合わせて形成したトレンチの底辺近傍を囲み、前記第1不純物拡散領域を含む第2導電型の第2不純物拡散領域を形成する工程と、前記両トレンチを合わせて形成したトレンチ内において、前記第1の絶縁膜及び前記第1不純物拡散領域の上に第1の導電膜を形成する工程と、前記第1の導電膜を被覆する第2の絶縁膜を形成する工程と、前記第2の絶縁膜を被覆するように前記両トレンチを合わせて形成したトレンチ内に埋め込まれている第2の導電膜を形成する工程とを備えていることを特徴としている。前記両トレンチを合わせて形成したトレンチは、前記半導体基板に複数形成され、隣接するトレンチの底辺近傍を囲む第2不純物拡散領域は互いに接続している。

#### 【0009】

【作用】少なくともトレンチ底部を囲む不純物拡散により形成されるプレート拡散領域が短時間で隣接する拡散領域と接続できるように形成される。さらに、プレート拡散領域とプレート電極の接触面積が大きく取れ、動作マージンを向上させる。

#### 【0010】

【実施例】以下、図面を参照して本発明の実施例を説明する。図1乃至図13は、この発明に係る半導体記憶装置をその製造工程に従って示すものである。図1は、例えば、ダイナミックRAMのメモリセルの断面図、図2～図9は、その製造工程断面図、図10は、発明の効果を説明する半導体基板のトレンチ部分を拡大した断面図である。図11は、半導体基板のトレンチ部分の実施例以外の他の形状を説明する断面図である。図12は、図1のメモリセルを複数個半導体基板に形成したダイナミックRAMのセルアレイの一部をしめす部分平面図である。図1に示されるメモリセルは、例えば、1トランジスタ1キャパシタセルアレイの一部であり、図13の配線図に示すように、セルを構成するMOSトランジスタのゲート18は、ワード線Wに接続され、ソース/ドレイン領域19の一方は、ビット線Bに、他方は、トレンチに形成されたキャパシタCに接続される。半導体基板としては、例えば、P型シリコン半導体基板1を用いる。このシリコン半導体基板1には、シリコンの熱酸化によるフィールド酸化膜2が形成されている。このシリコン半導体基板表面にトレンチ6を形成し、このトレンチ6の内壁に熱酸化によるシリコン酸化膜7を形成する。トレンチ6の底部及びこの底部を含む下部にはシリコン酸化膜7を設けない。

【0011】この部分は、その位置によって孔径が異なり、最も大きい孔径は、トレンチ開口部の孔径より大きくなっている。半導体基板1には複数のトレンチ6が形成されている。各トレンチの前記底部を含む下部

には、比較的不純物濃度の低いN型領域9が形成されている。N型領域9は、隣接したトレンチ6のN型領域9と接続され、全体として1つの領域になっている。その後、トレンチ6の内壁に、例えば、多結晶シリコン膜などの導電材料10を堆積させ、その上に、例えば、シリコン酸化膜などからなるキャパシタ絶縁膜12を形成する。そして、多結晶シリコンなどの導電材料13をトレンチ6に堆積することにより図13のキャパシタCに相当するキャパシタを形成する。多結晶シリコン膜10は、キャパシタのプレート電極となり、多結晶シリコン膜13は、キャパシタのストレージノード電極となる。また、N型領域9は、他のメモリセルのプレート電極との間を繋ぐプレート拡散領域となる。一方、トレンチ6に堆積した多結晶シリコン膜13の上に接続用の多結晶シリコン膜16を堆積させ、一部半導体基板1上に突出させる。このトレンチ6に隣接して、図13のMOSトランジスタTに相当するトランジスタを形成する。まず1対のソース/ドレイン領域19を形成する。そして、その一方の領域のトレンチ6の側壁に沿った部分に高濃度のN型領域15を形成し、これを、多結晶シリコン膜16とのコンタクト領域とする。

【0012】他方の領域は、前述のようにダイナミックRAMのビット線Bに接続される。半導体基板1のソース/ドレイン領域19の間の部分の上に、シリコン酸化膜などからなるゲート絶縁膜17を形成し、その上に、ゲート電極18を形成する。ゲート電極18は、ダイナミックRAMのワード線Wに接続される。図12のように、ダイナミックRAMのセルアレイを構成する各メモリセルに形成され、図1に示すトレンチ底部に形成されているプレート電極10の酸化膜7から露出している部分を囲むN型領域9は、その隣接する同じ領域と互いに接合し、これら複数の領域は、1つのプレート拡散領域を構成する。つぎに、図10を参照してトレンチを新規な構造にすることによる作用効果を説明する。この実施例では、トレンチの開口部を含む上部は、孔径Rの円筒状であり、底部を含む下部は、孔径 $R_{max}$ のほぼ球状になっている。したがって、トレンチ内のキャパシタ容量は、従来より高くなる。従来のトレンチは、上部及び下部共に円筒状であり、その隣接するトレンチ間の距離は、aとする。一方、本発明によるトレンチ上部のトレンチ間の距離は、前記従来と同じくaであるが、トレンチ下部のトレンチ間の距離は、図示のように最大の半径が上部の半径よりbだけ大きいので、 $a-2b$ となり、トレンチ間は、従来より狭くなる。

【0013】したがって、複数のトレンチの下部を囲むように形成した複数のプレート拡散領域9を結合する場合に、少しの熱処理で実施する事ができるので、熱処理の他への影響を可能な限り少なくできる。ここで、前記下部の最大孔径 $R_{max}$ は、 $R+2b$ と等しい。つぎに、この実施例の半導体記憶装置の製造方法について説明す

る。図2に示すようにP型シリコン半導体基板1の主面に、例えば、熱酸化法などによりフィールド酸化膜2を形成する。フィールド酸化膜2は、素子分離領域上に形成される厚い酸化膜と活性領域を覆う薄い酸化膜2'1とからなっている。次に、フィールド酸化膜2全面に、例えば、厚さ1000オングストローム（以下、Åと略記する）程度のCVD酸化膜（ $\text{SiO}_2$ ）3と厚さ600Å程度のシリコン窒化膜（ $\text{Si}_3\text{N}_4$ ）4を堆積させる。その後、フォトリソグレイド5をシリコン窒化膜4の上に被覆し、これをパターンニングする。

【0014】次に、図3に示すように、シリコン窒化膜4及びCVD酸化膜3等を反応性イオンエッチング（RIE；Reactive Ion Etching）などにより選択的にエッチングして半導体基板を部分的に露出させる。この後、フォトリソグレイド5をエッチング除去する。そして、シリコン窒化膜4及びCVD酸化膜3をマスク材としてシリコン半導体基板1をRIE法などの異方性エッチングにより、例えば、4μm程度エッチングしてトレンチ6を形成する。次に、図4に示すように、半導体基板1を、例えば、約900℃で30分程度熱酸化して、厚さ500Å程度のシリコン酸化膜7をトレンチ6の側壁に形成する。次に、RIE法により、トレンチ底部のみ酸化膜7をエッチングする。そして、例えば砒素（As）を加速電圧40KeV、ドーズ量 $10^{15}\text{cm}^{-2}$ 程度でイオン注入する。そして、 $\text{N}_2$  雰囲気中で約900℃、30分の熱処理を行って、トレンチ底部のみ高濃度のN型拡散領域8が形成される。このN型拡散領域8を形成する事によって、エッチングレートが向上し、次工程のエッチングがし易くなると共に、ほぼこの領域に沿って球状にエッチングされるので、トレンチの形状を適宜制御する事ができる。勿論本発明においては、この拡散領域を形成するための工程を経る必要はない。この工程がないと、そのトレンチ底部付近の断面形状はほぼ横長の楕円形状になる。

【0015】次に、図5に示すように、等方性エッチング、例えば、CDE（Chemical Dry Etching）によりトレンチ6の底部をエッチングして、この部分をトレンチ開口部より断面積を大きくする。そして再び、例えば、Asを加速電圧40KeV、ドーズ量 $10^{15}\text{cm}^{-2}$ 程度でイオン注入する。その後、 $\text{N}_2$  雰囲気中で約900℃の熱処理を30分程度行って、トレンチ底部に、不純物濃度 $2 \times 10^{19}\text{cm}^{-3}$ 程度のN型拡散領域9が形成される。この時、N型拡散領域9は、隣接しているトレンチ6に形成されているN型拡散領域9と接続される。このN型拡散領域9の不純物濃度の可能な範囲は、 $1 \times 10^{16}\text{cm}^{-3} \sim 1 \times 10^{22}\text{cm}^{-3}$ 程度である。次に、図6に示すように、厚さ1000Å程度のN型多結晶シリコンを半導体基板全面に塗布し、トレンチ6内部をマスクするフォトリソグレイド（図示せず）を用いて、エッチングを行い、このトレンチ6の内壁のほぼ全面にのみN型多結

晶シリコン膜10を形成する。この多結晶シリコン膜10は、蓄積キャパシタのプレート電極となる。次に、図7に示すように、トレンチ6内の多結晶シリコン10を被覆する様に厚さ約100Åのシリコン窒化膜を堆積し、これを熱酸化して表面に約20Å程度の酸化膜を形成し、 $\text{SiO}_2/\text{Si}_3\text{N}_4$ の積層膜12を形成する。この積層膜は、キャパシタ絶縁膜となる。

【0016】ついで6000Å程度のN型多結晶シリコンを半導体基板1全面に堆積させ、トレンチ6をマスクするフォトリソグレイド（図示せず）を用いて、この多結晶シリコンを、例えば、CDE法でエッチングする。これにより、トレンチ6の上部側面が一部露出するようにN型多結晶シリコン13が埋込まれる。N型多結晶シリコン13は、蓄積キャパシタのストレージノード電極として用いられる。次に、図8に示すように、フィールド酸化膜2と反対側のトレンチエッジ部分のみが露出するようにフォトリソグレイド（図示せず）を堆積し、それをパターンニングする。その後CDEで露出した前記トレンチエッジ部分のシリコン酸化膜7を除去し、トレンチ6のエッジ部のシリコン基板を露出させる。次に図9に示すように、例えば、リンを加速電圧100KeV、ドーズ量 $1 \times 10^{15}\text{cm}^{-2}$ 程度で、半導体基板に対して斜めからイオン注入し、トレンチ6上部エッジ部分に接してN型不純物拡散領域15を形成する。そして、半導体基板1全面に厚さ約3000Å程度のN型多結晶シリコン膜を堆積させる。その後、トレンチ6のみが露出する様にフォトリソグレイド（図示せず）を堆積し、CDE法によりN型多結晶シリコン膜を選択的にエッチングして、N型多結晶シリコン膜16をトレンチ6が完全に埋め込むように形成する。

【0017】ついで、図1のように、ウェットエッチングで全面のシリコン窒化膜4及びCVD酸化膜3を全面エッチング除去する。そして、約900℃の熱酸化により全面を酸化してシリコン酸化膜20を形成する。そして、トランジスタ形成予定領域を露出させるようにパターンニングを行ったフォトリソグレイド（図示せず）を堆積し、酸化膜20及び薄い酸化膜21を選択的にエッチングする。その後、このトランジスタ形成予定領域に周知の方法でゲート酸化膜17及びその上のゲート電極18を形成する。ついで、ゲート電極18をマスクとしてソース/ドレイン領域19を形成して、1トランジスタ1キャパシタ型のMOS型ダイナミックRAMセルを形成する。前記N型不純物拡散領域15は、ソース/ドレイン領域の一方と接触し、その一部となる。多結晶シリコン膜16を酸化して形成されたシリコン酸化膜20の上にはシリコン窒化膜22を形成してその表面を安定化する。例えば、図1に示す実施例のMOSトランジスタのソース/ドレイン領域19の一方は、ビット線B（図13参照）に接続され、約5V程度の電圧が印加されるが、これよりさらに高い電圧を印加するような場合に

は、この領域の一方もしくは双方に不純物濃度の低い領域をこの領域間に付加したLDD (Lightly Doped Drain) 構造にすることができる。しかし、将来は、約3.3Vの電圧を印加するようになるので、この構造を活用する余地は余り無い。

【0018】本実施例では、トレンチを形成するに当たり、まず、異方性エッチングを行ってから、トレンチの断面積を大きくしているが、最後まで、異方性エッチングを使用して工程を簡略化することもできる。図11に示すように、異方性エッチングで垂直にトレンチを掘ってから、エッチング角度を傾斜させてトレンチの断面積を大きくしている。このような方法によるため、トレンチの断面形状も前述の実施例のものとは異なっており、例えば、図11(a)のように底辺が1番断面積の大きい部分となる三角フラスコ状であったり、図11(b)のようにトレンチ下部が菱形状であってもよい。実施例におけるトレンチの半導体基板表面からの深さは、5 $\mu$ m程度であるが、本発明においては、4～16 $\mu$ m程度のトレンチを用いることができる。あまり深くするとトレンチ形成工程が難しくなる。

【0019】実施例に置けるゲート電極は多結晶シリコンを材料としているが、本発明は、これに限定されるものではなく、Mo、W、Taなどの高融点金属シリサイドやシリサイドと多結晶シリコンを積層するポリサイドなどを用いることができる。また、実施例では、半導体基板には、P型シリコン基板を用いているが、N型シリコン基板でもよく、シリコン以外の半導体を用いることもできる。また、前述の実施例では、1トランジスタセルのダイナミックRAMを用いて本発明を説明したが、例えば、3トランジスタセルや4トランジスタセルなどを適用することも可能である。

#### 【0020】

【発明の効果】以上のような構成により、本発明においては、トレンチ底部からの不純物拡散により形成される複数のプレート拡散領域は、互いに接近しているため、短時間で隣接するプレート拡散領域と接続される。プレート拡散領域とプレート電極の接触面積が大きく取れるので、プレートを埋め込んだことによる動作マージンの低下を招くことはない。

#### 【図面の簡単な説明】

【図1】本発明の実施例におけるダイナミックRAMの断面図。

【図2】本発明の実施例におけるダイナミックRAMの

製造工程断面図。

【図3】本発明の実施例におけるダイナミックRAMの製造工程断面図。

【図4】本発明の実施例におけるダイナミックRAMの製造工程断面図。

【図5】本発明の実施例におけるダイナミックRAMの製造工程断面図。

【図6】本発明の実施例におけるダイナミックRAMの製造工程断面図。

【図7】本発明の実施例におけるダイナミックRAMの製造工程断面図。

【図8】本発明の実施例におけるダイナミックRAMの製造工程断面図。

【図9】本発明の実施例におけるダイナミックRAMの製造工程断面図。

【図10】本発明の効果を説明するトレンチ部の部分断面図。

【図11】本発明のトレンチの部分断面図。

【図12】本発明のダイナミックRAMのセルアレイの部分平面図。

【図13】本発明及び従来の1トランジスタセルの配線図。

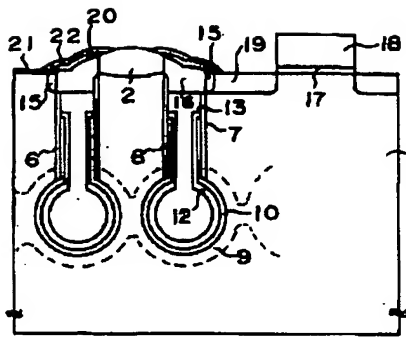
【図14】従来のダイナミックRAMの断面図。

#### 【符号の説明】

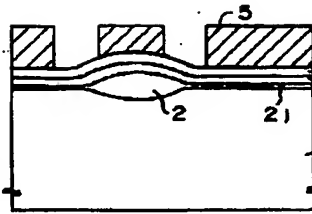
1	シリコン半導体基板
2	フィールド酸化膜
3、20	CVD酸化膜
4、22	シリコン窒化膜
5	フォトレジスト
6	トレンチ
7	絶縁膜（シリコン酸化膜）
8	N型拡散領域
9	N型拡散領域（プレート拡散領域）
10	第1の導電膜（多結晶シリコン膜）
12	キャパシタ絶縁膜
13	第2の導電膜（多結晶シリコン膜）
15	N型拡散領域
16	多結晶シリコン膜
17	ゲート絶縁膜
18	ゲート電極
19	ソース／ドレイン領域
21	薄い酸化膜



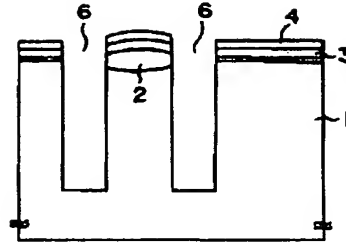
【図1】



【図2】

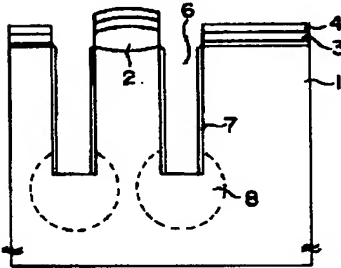


【図3】

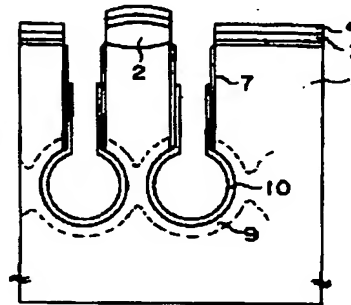
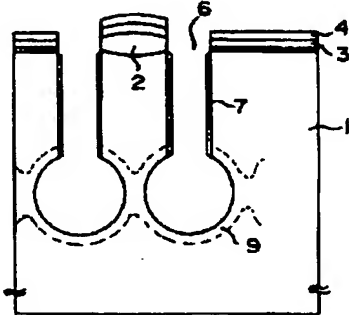


【図6】

【図4】

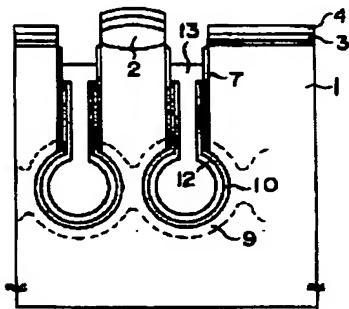


【図5】

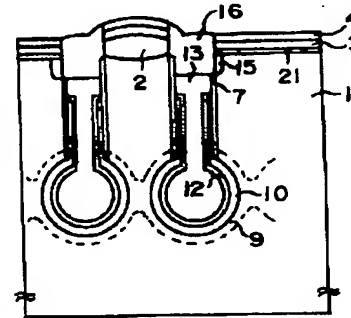
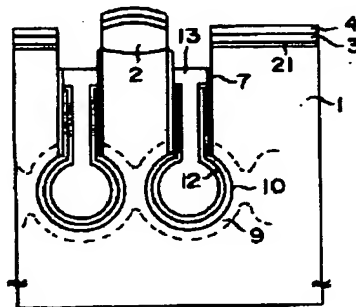


【図9】

【図7】

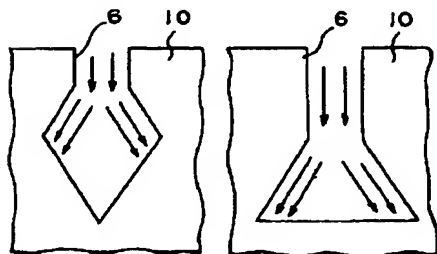


【図8】



【図13】

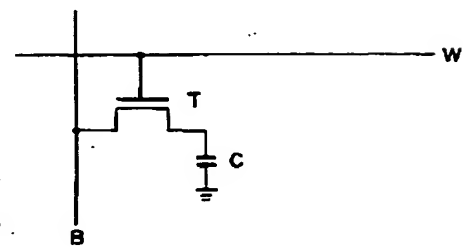
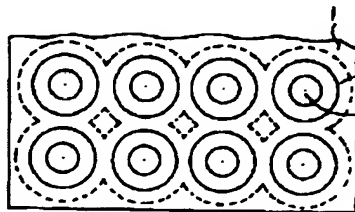
【図11】



(a)

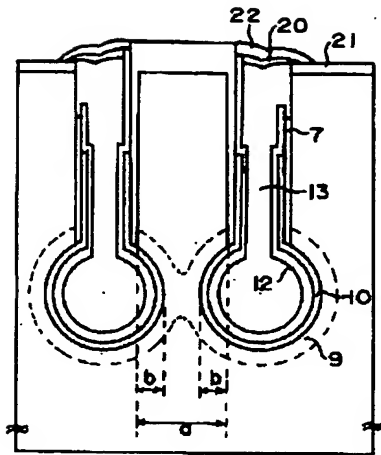
(b)

【図12】





【図10】



【図14】

